

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月24日  
Date of Application:

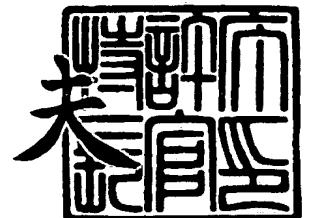
出願番号 特願2002-309600  
Application Number:  
[ST. 10/C]: [JP2002-309600]

出願人 株式会社半導体エネルギー研究所  
Applicant(s):

2003年 8月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫





【書類名】 特許願

【整理番号】 P006656

【提出日】 平成14年10月24日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 増田 仁美

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 長尾 祥

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 岩淵 友幸

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

**【書類名】 明細書****【発明の名称】 半導体装置およびその作製方法****【特許請求の範囲】****【請求項 1】**

基板上に半導体を形成し、  
前記半導体上の一部と重なる位置にレジストからなるマスクを形成し、  
ドーピング法により不純物元素を添加する半導体装置の作製方法であって、  
前記マスクの面積は、合わせマージンを含む前記半導体上の不純物元素添加領域のみに開口部を有するマスクより面積が小さいことを特徴とする半導体装置の作製方法。

**【請求項 2】**

基板上に半導体を形成し、  
前記半導体上の一部と重なる位置にレジストからなるマスクを形成し、  
加速電圧を 80 kV 以上とするドーピング法により不純物元素を添加する半導体装置の作製方法であって、  
前記マスクの面積は、前記基板の面積の 15% 以下とすることを特徴とする半導体装置の作製方法。

**【請求項 3】**

基板上に半導体を形成し、  
前記半導体上の一部と重なる位置にレジストからなるマスクを形成し、前記第 1 のマスクを熱処理し、  
ドーピング法により不純物元素を添加する半導体装置の作製方法であって、  
前記マスクの面積は、合わせマージンを含む前記半導体上の不純物元素添加領域のみに開口部を有するマスクより面積が小さいことを特徴とする半導体装置の作製方法。

**【請求項 4】**

基板上に半導体を形成し、  
前記半導体上の一部と重なる位置にレジストからなるマスクを形成し、前記第 1 のマスクを熱処理し、

加速電圧を 80 kV 以上とするドーピング法により不純物元素を添加する半導体装置の作製方法であって、

前記マスクの面積は、前記基板の面積の 35 % 以下とすることを特徴とする半導体装置の作製方法。

【請求項 5】

基板上に半導体を形成し、

前記半導体上に絶縁膜を介してゲート電極を形成し、

前記半導体の一部と重なる位置にレジストからなる第 1 のマスクを形成し、

加速電圧を 60 kV 以上とするドーピング法により n 型の不純物元素を添加し

、  
前記第 1 のマスクを除去し、

前記半導体の一部と重なる位置にレジストからなる第 2 のマスクを形成し、

加速電圧を 80 kV 以上とするドーピング法により p 型の不純物元素を添加する半導体装置の作製方法であって、

前記第 1 のマスクの面積は前記基板の面積の 20 % 以下であり、

前記第 2 のマスクの面積は前記基板の面積の 15 % 以下とすることを特徴とする半導体装置の作製方法。

【請求項 6】

基板上に半導体を形成し、

前記半導体上に絶縁膜を介してゲート電極を形成し、

前記半導体の一部と重なる位置にレジストからなる第 1 のマスクを形成し、前記第 1 のマスクを熱処理し、

加速電圧を 60 kV 以上とするドーピング法により n 型の不純物元素を添加し

、  
前記第 1 のマスクを除去し、

前記半導体の一部と重なる位置にレジストからなる第 2 のマスクを形成し、前記第 2 のマスクを熱処理し、

加速電圧を 80 kV 以上とするドーピング法により p 型の不純物元素を添加する半導体装置の作製方法であって、

前記第1のマスクの面積は前記基板の面積の40%以下であり、

前記第2のマスクの面積は前記基板の面積の35%以下とすることを特徴とする半導体装置の作製方法。

【請求項7】

基板上に半導体を形成し、

前記半導体上に絶縁膜を介してゲート電極を形成し、

前記半導体の一部と重なる位置にレジストからなる第1のマスクを形成し、電流密度を $15\mu\text{A}/\text{cm}^2$ 以上とし、かつ加速電圧を60kV以上とするドーピング法によりn型の不純物元素を添加し、

前記第1のマスクを除去し、

前記半導体の一部と重なる位置にレジストからなる第2のマスクを形成し、電流密度を $15\mu\text{A}/\text{cm}^2$ 以上とし、かつ加速電圧を80kV以上とするドーピング法によりp型の不純物元素を添加する半導体装置の作製方法であって、

前記第1のマスクの面積は前記基板の面積の20%以下であり、

前記第2のマスクの面積は前記基板の面積の15%以下とすることを特徴とする半導体装置の作製方法。

【請求項8】

基板上に半導体を形成し、

前記半導体上に絶縁膜を介してゲート電極を形成し、

前記半導体の一部と重なる位置にレジストからなる第1のマスクを形成し、前記第1のマスクを熱処理し、

電流密度を $15\mu\text{A}/\text{cm}^2$ 以上とし、かつ加速電圧を60kV以上とするドーピング法によりn型の不純物元素を添加し、

前記第1のマスクを除去し、

前記半導体の一部と重なる位置にレジストからなる第2のマスクを形成し、前記第2のマスクを熱処理し、

電流密度を $15\mu\text{A}/\text{cm}^2$ 以上とし、かつ加速電圧を80kV以上とするドーピング法によりp型の不純物元素を添加する半導体装置の作製方法であって、

前記第1のマスクの面積は前記基板の面積の40%以下であり、

前記第2のマスクの面積は前記基板の面積の35%以下とすることを特徴とする半導体装置の作製方法。

【請求項9】

基板上にnチャネル型TFETまたはPチャネル型TFETを複数有する半導体装置であって、

前記基板上にn型不純物領域を有する島状半導体およびp型不純物領域を有する島状半導体と、

前記n型不純物領域を有する島状半導体および前記p型不純物領域を有する島状半導体を覆って前記基板上に形成された絶縁膜と、

前記絶縁膜を介して前記n型不純物領域を有する島状半導体の一部および前記p型不純物領域を有する島状半導体の一部と重なる位置に形成されたゲート電極とを有し、

前記絶縁膜中の不純物濃度が、前記n型不純物領域と重なる位置において他の領域よりも特に低いことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の作製方法であって、特に基板上の半導体に導電型不純物を添加する不純物のドーピング技術に関する。

【0002】

【従来の技術】

薄膜トランジスタ（TFET）の構成要素であるソース・ドレイン領域などの不純物領域を作製する場合、不純物を添加するために様々な方法が用いられている。

【0003】

不純物を添加する方法としては、例えばイオン注入法やイオンドーピング法などが用いられている。イオン注入法とはシリコンなどの半導体にボロン（B）やリン（P）などの元素をイオン化し、質量分析して必要なイオンのみを電界で加速して打ち込む技術であり、イオンドーピング法は質量分析を行わずにイオンを

電界で加速して打ち込む技術である。

【0004】

なお、これらの技術を用いる場合には、不純物の添加領域以外をマスクで覆って不純物を添加することにより、所望の位置のみに不純物を添加することができる。

【0005】

しかし、通常マスク材として用いられているレジストは、その表面にイオンビームを照射すると脱ガスを発生し、その影響で処理室内の圧力が急激に増加して、イオンビームが照射不能になったり、不純物の注入量に誤差を生じたりという問題が生じている。

【0006】

なお、レジストからの脱ガスを低減する技術として、ドーピング前に予めレジストを加熱し、ドーピング時に発生する脱ガスを除去するという技術が知られている（例えば、特許文献1参照。）。

【0007】

【特許文献1】

特開平5-55159号公報

【0008】

【発明が解決しようとする課題】

そこで、本発明では不純物の添加を行うドーピングの際にレジストから発生する脱ガスを低減させることにより、処理室内部の急激な圧力変化を防止し、安定したドーピングを実現することを目的とする。

【0009】

【課題を解決するための手段】

そこで、本発明では、ドーピング時における加速電圧または、電流密度といった条件に応じて用いるレジストパターンの面積（レジストの面積占有率：基板全体の面積に対するレジストの面積比）を小さくすることによりドーピング時にレジストから発生する脱ガスを減少させ、不純物イオンの注入安定性を図る。

【0010】

すなわち、本発明の構成は、基板上に半導体を形成し、前記半導体上の一部と重なる位置にレジストからなるマスクを形成し、前記第1のマスクを熱処理し、ドーピング法により不純物元素を添加する半導体装置の作製方法であって、前記マスクの面積は、合わせマージンを含む半導体上の不純物元素添加領域のみに開口部を有するマスクより面積が小さいことを特徴とする半導体装置の作製方法である。

#### 【0011】

なお、上記構成において、合わせマージンとは、半導体上に不純物を添加する際にマスクの合わせずれを考慮して半導体の面積よりも大きく面積を取った部分のことをいい、具体的には半導体の端部から合わせマージンの端部までの距離が $10\mu\text{m}$ 以下となるように形成するのが好ましい。

#### 【0012】

上記構成において、面積を小さくする場合には、前記マスクの面積を前記基板の面積に対して35%以下とすることが好ましく、ドーピング時における加速電圧が80kV以上である場合に特に効果を有する。

#### 【0013】

また、上記構成において、前記マスクの熱処理を行わない場合には、前記マスクの面積を前記基板の面積の15%以下とするのが好ましい。

#### 【0014】

また、上記構成において、ドーピング時における加速電圧を80kV以上とし、かつ電流密度を $540\mu\text{A}/\text{cm}^2$ 以上とする場合には、前記マスクの面積を前記基板の面積の35%以下とするのが好ましいが、電流密度を $450\mu\text{A}/\text{cm}^2$ 以上とする場合には、前記マスクの面積を前記基板の面積の40%以下とするのが好ましい。

#### 【0015】

さらに、上記構成において、ドーピング時における加速電圧を80kV以上とし、かつ電流密度を $450\mu\text{A}/\text{cm}^2$ 以上とする場合には、前記マスクの面積は、前記基板の面積の40%以下とするのが好ましい。

#### 【0016】



また、電流密度を高くする場合だけでなくドーピング時における加速電圧を大きくしたりする場合にも脱ガス量は増加する。従って、例えば、n型不純物元素（リン等）と、p型不純物元素（ボロン等）をイオン注入する場合において、どちらか一方の不純物元素のみイオン注入時における電流密度を高くしたり、加速電圧を高くしたりする場合がありうる。

#### 【0017】

例えば、p型不純物元素のイオン注入時における電流密度、または加速電圧をn型不純物元素のイオン注入時よりも高くする場合には、p型の不純物元素をドーピングする際に用いるレジストの面積をn型の不純物をドーピングする際に用いるレジストの面積よりも小さくする必要がある。具体的には、p型不純物元素のイオン注入を加速電圧を60kV以上とし、電流密度を $15\mu\text{A}/\text{cm}^2$ 以上とする場合には、レジストの面積占有率を20%以下とするのが好ましい。一方、n型不純物元素のイオン注入を加速電圧を80kV以上とし、電流密度を $15\mu\text{A}/\text{cm}^2$ 以上とする場合には、レジストの面積占有率を15%以下とするのが好ましい。

#### 【0018】

従って、この場合における本発明の構成は、基板上に半導体を形成し、前記半導体上に絶縁膜を介してゲート電極を形成し、前記半導体の一部と重なる位置にレジストからなる第1のマスクを形成し、電流密度を $15\mu\text{A}/\text{cm}^2$ 以上とし、かつ加速電圧を60kV以上とするドーピング法によりn型の不純物元素を添加し、前記第1のマスクを除去し、前記半導体の一部と重なる位置にレジストからなる第2のマスクを形成し、電流密度を $15\mu\text{A}/\text{cm}^2$ 以上とし、かつ加速電圧を80kV以上とするドーピング法によりp型の不純物元素を添加する半導体装置の作製方法であって、前記第1のマスクの面積は前記基板の面積の20%以下であり、前記第2のマスクの面積は前記基板の面積の15%以下とすることを特徴とする半導体装置の作製方法である。

#### 【0019】

また、本発明では、レジスト面積を減少させるだけでなくドーピング前に基板を熱処理してレジストから発生する脱ガスを予め除去するという構成も含めるこ

とする。

#### 【0020】

従って、この場合における本発明の構成は、基板上に半導体を形成し、前記半導体上に絶縁膜を介してゲート電極を形成し、前記半導体の一部と重なる位置にレジストからなる第1のマスクを形成し、前記第1のマスクを熱処理し、電流密度を  $15 \mu\text{A}/\text{cm}^2$  以上とし、かつ加速電圧を  $60 \text{ kV}$  以上とするドーピング法により n 型の不純物元素を添加し、前記第1のマスクを除去し、前記半導体の一部と重なる位置にレジストからなる第2のマスクを形成し、前記第2のマスクを熱処理し、電流密度を  $15 \mu\text{A}/\text{cm}^2$  以上とし、かつ加速電圧を  $80 \text{ kV}$  以上とするドーピング法により p 型の不純物元素を添加する半導体装置の作製方法であって、前記第1のマスクの面積は前記基板の面積の  $40\%$  以下であり、前記第2のマスクの面積は前記基板の面積の  $35\%$  以下とすることを特徴とする半導体装置の作製方法である。

#### 【0021】

さらに本発明のドーピング方法を用いて作製された半導体装置の構成は、基板上に n チャネル型 TFT または p チャネル型 TFT を複数有する半導体装置であって、前記基板上に n 型不純物領域を有する島状半導体および p 型不純物領域を有する島状半導体と、前記 n 型不純物領域を有する島状半導体および前記 p 型不純物領域を有する島状半導体を覆って前記基板上に形成された絶縁膜と、前記絶縁膜を介して前記 n 型不純物領域を有する島状半導体および前記 p 型不純物領域を有する島状半導体の一部と重なる位置に形成されたゲート電極とを有し、前記絶縁膜中の不純物濃度が、前記 n 型不純物領域と重なる位置において他の領域よりも特に低いことを特徴とする半導体装置である。

#### 【0022】

##### 【発明の実施の形態】

以下に、本発明の実施形態について説明する。

#### 【0023】

##### (実施の形態1)

本実施の形態1では、基板上に面積占有率の異なるレジストパターンを形成し

、ドーピング装置において基板上へのイオン注入を行った際の結果について説明する。なお、ここでは、レジスト形成後にレジストを200℃、2時間熱処理したものをを用いることとする。また、ここで用いるドーピング装置は、イオン発生源からイオンが注入される位置に複数回基板を移動（スキャン）させるようになっており、基板上の同じ位置にスキャン回数と同じ回数イオンが注入される。ドーピング装置の具体的な構成については、実施の形態2で詳細に説明するためここでの説明は省略する。

#### 【0024】

まず、イオン注入の際における処理室（ドーピング室）内部の圧力を測定したところ、図1に示すようにレジストの面積占有率（%）が減少するにつれて処理室内部の圧力が低下する（特に1スキャン目の場合）という結果が得られた。図1では、電流密度を $540\mu\text{A}/\text{cm}^2$ の場合と $450\mu\text{A}/\text{cm}^2$ としてイオン注入を行った場合における1～4スキャン目までの圧力を測定している。

#### 【0025】

次に、イオン注入の際にスキャン毎に測定される電流密度の最大値を測定した。なお、電流密度の最大値のバラツキからドーピング時におけるイオン注入の安定性について評価することができる。ここでも同様にレジストの面積占有率を変えて、条件毎の電流密度の最大値を測定した。結果を図2に示す。なお、レジストの面積占有率（%）が減少するにつれて各電流密度（ $540\mu\text{A}/\text{cm}^2$ 、 $450\mu\text{A}/\text{cm}^2$ ）のいずれの場合にも目的の電流密度（ $540\mu\text{A}/\text{cm}^2$ 、 $450\mu\text{A}/\text{cm}^2$ ）と、実際の電流密度の最大値との間でバラツキが大きい（特に1スキャン目の場合）という結果が得られた。図2の場合にも電流密度を $540\mu\text{A}/\text{cm}^2$ の場合と $450\mu\text{A}/\text{cm}^2$ としてイオン注入を行い、1～4スキャン目までの電流密度の最大値を測定している。

#### 【0026】

なお、ドーピング時における電流密度（最大値）のバラツキは通常20%以内であることが好ましいことから、加速電圧を80kVとし、電流密度を $540\mu\text{A}/\text{cm}^2$ とした場合にはレジストの面積占有率を35%以下とするのが好ましい。一方、加速電圧を80kVとし、電流密度を $450\mu\text{A}/\text{cm}^2$ とした場合

にはレジストの面積占有率を40%以下とするのが好ましい。すなわち、高い電流密度でドーピングを行う場合には、脱ガスが発生しやすい条件となるためレジストの面積占有率をより小さくする必要がある。なお、レジスト形成後にレジストの熱処理を行わない場合には、レジストの面積占有率を15%以下とするのが好ましい。

#### 【0027】

また、レジストの面積占有率を35%以下にすることで、図1から分かるように処理室内部の圧力を0.15Pa以下とすることができる。また、この条件においては、処理室内部における異常放電（アーキング）を発生させることなくイオン注入を行うことができる。

#### 【0028】

また、レジスト面積占有率を減少させるだけでなくドーピング前に基板を熱処理した場合における処理室内部の圧力の測定結果を図3に、電流密度の最大値の測定結果を図4に示す。

#### 【0029】

図3、4に示す測定結果からレジスト面積占有率を減少させるだけでなくドーピング前に基板を熱処理することにより、レジストから発生する脱ガスを低減させ、電流密度（最大値）のバラツキを抑えることができるという結果が得られた。

#### 【0030】

さらに、レジストの膜厚が異なる場合における処理室内部の圧力の測定結果を図5に、電流密度の最大値の測定結果を図6に示す。

#### 【0031】

図5、6に示す測定結果から、この場合にもレジストから発生する脱ガスを低減させ、電流密度（最大値）のバラツキを抑えることができるという結果が得られた。

#### 【0032】

（実施の形態2）

本実施の形態2では、本発明のドーピング方法について説明する。なお、本実

施の形態 2 では、面積占有率の極力小さくしたレジストをマスクとして用いるドーピング方法であって、同一基板上に n 型不純物元素と、p 型不純物元素をそれぞれ注入する場合について説明する。

#### 【0033】

図 7 (A) において、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラス、石英等の基板 701 上に窒化珪素、酸化珪素、窒化酸化珪素から選ばれた一つまたは複数種を組み合わせた下地膜 702 を 50～200 nm の厚さで形成し、下地膜 702 上に島状に分離形成された半導体膜 703 a、703 b を形成する。なお、本発明においては、基板 701 にシリコン基板を用いることもできる。

#### 【0034】

次に、ゲート絶縁膜 704 を 80 nm の厚さで形成する。ゲート絶縁膜 704 は、プラズマ CVD 法またはスパッタ法を用いて形成する。ゲート絶縁膜 704 として、 $\text{SiH}_4$  と  $\text{N}_2\text{O}$  に  $\text{O}_2$  を添加させて作製する酸化窒化珪素膜は膜中の固定電荷密度を低減させることが可能となり、ゲート絶縁膜として好ましい材料である。勿論、ゲート絶縁膜はこのような酸化窒化珪素膜に限定されるものでなく、酸化珪素膜や酸化タンタル膜などの絶縁膜を単層または積層構造として用いても良い。

#### 【0035】

次に、ゲート絶縁膜 704 上に導電膜を形成し、マスクを用いたドライエッチング法によりゲート電極 (705 a、705 b) を形成する。なお、ここで用いる導電膜の種類に限定はないが Al、Ta、Ti、W、Mo などの導電性材料またはこれらの合金を適用することができる。このような材料を用いたゲート電極 (705 a、705 b) の構造は、窒化タンタル又は窒化チタンと W 又は Mo-W 合金の積層構造、W と Al 又は Cu の積層構造、Ti と Al-Si と Ti の積層構造、Ta-N と Ti の積層構造などを採用することができる。なお、Al を用いる場合には、耐熱性を高めるために Ti、Sc、Nd、Si、Cu などを 0.1～7 重量% 添加したものを用いる。また、導電膜は 300～550 nm 程度の膜厚となるように形成する (図 7 (A))。

#### 【0036】

次に、n型不純物元素をイオン注入法（ここでは、質量分離しないイオンを注入する方法を用いる）により注入する。なお、この場合には、半導体膜703aのゲート電極705aと重ならない位置にn型不純物元素（リン）が注入されるようにレジストからなる第1のマスク706を形成し、不純物ガスとして20%の $\text{PH}_3$ を用い、電流密度を $15\mu\text{A}/\text{cm}^2$ 、加速電圧を60kVとして $2\times 10^{15}/\text{cm}^2$ のドーズ量でリンを注入する。なお、図7（B）において、後にp型不純物元素が注入される半導体膜703b上だけでなくゲート絶縁膜704上の一部にも第1のマスク706が形成されているが、ここで用いる電流密度と加速電圧の条件の場合には、脱ガスの発生量がドーピングの安定性に影響を与えない程度であるため問題とならない。また、ここで形成される第1のマスク706の面積占有率は、20%以下とするのが好ましく、マスク形成後であって、ドーピング処理前にマスクを熱処理（例えば、200℃、2hr.）する場合には、40%以下とすればよい。

#### 【0037】

リンの注入が終了したら、第1のマスク706をアッシングにより剥離する。アッシングは酸素プラズマにより行い、30～45分の処理でレジストを剥離することができる。

#### 【0038】

次に、p型不純物元素をイオン注入法により注入する。なお、この場合には、半導体膜703bのゲート電極705bと重ならない位置にp型不純物元素（ボロン）が注入されるようにレジストからなる第2のマスク707を形成し、不純物ガスとして15%の $\text{B}_2\text{H}_6$ を用い、電流密度を $10\mu\text{A}/\text{cm}^2$ 、加速電圧を80kVとして $8\times 10^{15}/\text{cm}^2$ のドーズ量でボロンを注入する。なお、図7（C）の場合には、n型不純物元素が注入された半導体膜703a上のみを覆って、マスクの面積占有率が極力小さくなるように第2のマスク707が形成されているが、これは、n型不純物元素を注入する場合に比べ、p型不純物元素注入時における電流密度と加速電圧の条件では脱ガスの発生量が大きく、ドーピングの安定性に影響を与えるからである。また、ここで形成される第2のマスク707の面積占有率は、15%以下とするのが好ましく、マスク形成後であって、ド

ーピング処理前にマスクを熱処理（例えば、200℃、2hr.）する場合には、35%以下とすればよい。

#### 【0039】

ボロンの注入が終了したら、第2のマスク707をアッシングにより剥離する。アッシングは酸素プラズマにより行い、30～45分の処理でレジストを剥離することができる。

#### 【0040】

次に、図7（D）に示すように酸化窒化珪素膜または窒化珪素膜または窒化酸化珪素膜からなる第1絶縁膜708をプラズマCVD法で100nmの膜厚に形成する。

#### 【0041】

そして、n型及びp型の半導体領域の結晶性の回復と、活性化のために熱処理を行う。熱処理はファーネスアニール炉の他、瞬間熱アニール、レーザーアニールなどの方法により行うことができる。さらに第1絶縁膜708上に第2絶縁膜709を形成する。なお、第2絶縁膜709は、酸化珪素膜、酸化窒化珪素の他、ポリイミドまたはアクリルなどの有機絶縁物材料（感光性材料または非感光性材料を含む）で形成し表面を平坦化しても良い。また、第2の絶縁膜709の膜厚は、0.5～1μmとする。

#### 【0042】

次に、第2絶縁膜709の表面から各半導体膜の不純物領域（n型不純物領域710、p型不純物領域711）に達するコンタクトホールを形成し、Al、Ti、Taなどを用いて配線を形成する。図7（D）において712（a）（b）、713（a）（b）はソース線（電極）またはドレイン線（電極）となる。こうしてnチャネル型TFET714とpチャネル型TFET715を形成することができる。ここではそれぞれのTFETを単体として示しているが、これらのTFETを使ってCMOS回路やNMOS回路、PMOS回路を形成することができる。

#### 【0043】

以上により、同一基板上にn型、p型不純物元素をそれぞれ添加してnチャネル型TFETおよびpチャネル型TFETを作製する場合において、レジストからの

脱ガスが特に問題になる条件でドーピングを行う場合には、レジストの面積占有率を極力小さくすることで、ドーピングの安定性を維持することができる。

#### 【0044】

(実施の形態3)

本実施の形態では、本発明において用いるドーピング装置について図8を用いて説明する。なお、図8(A)は、ドーピング装置の上面図であり、図8(B)は、ドーピング装置が有するドーピング室の断面図を示す。

#### 【0045】

ドーピング装置の主な構成は、イオン源801を含む処理室802、ロードロック室(1)803、ロードロック室(2)804、搬送室805、排気ポンプ806から成っている。処理室802は、基板を図8(A)に示す矢印の方向に交互に移動させながらイオンを注入する場所であり、基板ステージ807、圧力ゲージ808が備えられている。

#### 【0046】

基板の搬入は図8(A)で示すように、搬送室805に備えられたアーム810によりロードロック室(1)(2)(803、804)から処理室802へ、または処理室802からロードロック室(1)(2)(803、804)への基板の搬送を行う。

#### 【0047】

なお、処理室802および搬送室805は、排気ポンプ806により常に真空状態を維持されているのに対し、ロードロック室(1)(2)(803、804)は、外部への基板の出し入れ時に一旦大気解放した後、排気ポンプ806により真空状態に維持される。なお、排気ポンプ806としては、ドライポンプ、メカニカルブースターポンプ、ターボ分子ポンプなどを適宜組み合わせて用いることができる。

#### 【0048】

図8(B)に示す処理室において、イオン源801は、ドーピング元素を含むガス(以下、ドーピング用ガスという)を供給するガス供給系811、プラズマを形成するための放電用電極812が備えられている。



## 【0049】

また、加速部 813 においては引き出し電極系（引き出し電極、加速電極、抑制電極、接地電極）が備えられ、これらの電極には多数の開口が設けられその開口をイオンが通過する。イオンの加速は引き出し電圧が印加される引き出し電極と、加速電圧が印加される加速電極により行い、抑制電極では発散するイオンを捕集してイオン流の方向性を高めている。

## 【0050】

ドーピング用ガスは  $\text{PH}_3$ 、 $\text{B}_2\text{H}_6$  などであり、水素や不活性ガスで 1～20 % 程度に希釈したものを用いる。 $\text{PH}_3$  の場合、 $\text{PH}_x^+$ 、 $\text{P}_2\text{H}_x^+$ 、 $\text{H}_x^+$  などがイオン種として生成され、質量分離をしない場合はこれらのイオンが引き出し電極系により加速され基板が備えられている方向へ引き出される。イオンは、図 8 (B) の矢印で示すように加速部 813 の電極によりほぼ直線的に引き出され基板に照射される。

## 【0051】

なお、ここで処理室 802 に搬送される基板 809 は、実施の形態 2 で説明したように所望の位置に不純物元素を添加するためのレジストが形成された基板であり、この基板に n 型不純物元素または、p 型不純物元素をドーピングすることにより、より安定したドーピングが可能となる。

## 【0052】

（実施の形態 4）

本実施の形態では、半導体装置の画素部に複数の TFT を作製する場合であって、n 型不純物元素、p 型不純物元素のドーピング時に用いるレジストからなるマスクパターンについて説明する。

## 【0053】

図 9 (A) には、基板上の画素部に n 型不純物を添加するためのマスクパターンが形成された上面図、図 9 (B) には、図 9 (A) の破線 A-A' における断面図を示す。

## 【0054】

図 9 (A) (B) において、半導体膜 903a、903b 基板 901 上に形成

された半導体膜 903b、ゲート電極 905b およびゲート信号線 906 を覆って n 型不純物添加用マスク 907 が形成されている。

#### 【0055】

そして、本実施の形態 3 で示したドーピング装置により n 型不純物元素を注入することにより、半導体膜 903a のうちゲート電極 905a と重ならない位置に n 型不純物領域 908 を形成することができる。

#### 【0056】

なお、n 型不純物元素をイオン注入法により注入する場合には、不純物ガスとして 20% の  $\text{PH}_3$  を用い、電流密度を  $15 \mu\text{A}/\text{cm}^2$ 、加速電圧を 60 kV として  $2 \times 10^{15}/\text{cm}^2$  のドーズ量でリンを注入する。なお、図 9 (A) (B) において、半導体膜 903b 上だけでなくゲート信号線 906 や、ゲート絶縁膜 904 上の一部にも n 型不純物添加用マスク 907 が形成されているが、ここで用いる電流密度と加速電圧の条件の場合には、脱ガスの発生量がドーピングの安定性に影響を与えない程度であるため問題とならない。なお、この場合における n 型不純物添加用マスク 907 の基板全体に対する面積占有率は 40% であるが、さらに小さくすることで、脱ガスの発生をさらに抑えることができる。

#### 【0057】

また、画素部に形成された素子からの光が基板側から出射される場合には、後に画素が形成される部分に不要な不純物が注入されていると、透過率が低下してしまうといった問題を生じることから好ましくない。

#### 【0058】

リンの注入が終了したら、n 型不純物添加用マスク 907 をアッシングにより剥離する。アッシングは酸素プラズマにより行い、30～45 分の処理により剥離を行う。

#### 【0059】

次に、図 10 (A) (B) に示すマスクを形成し、p 型不純物元素の注入を行う。図 10 (A) には、基板上の画素部に p 型不純物を添加するためのマスクパターンが形成された上面図、図 10 (B) には、図 9 (A) の破線 A-A' における断面図を示す。なお、図 9 と共通に部分には共通の符号を用いることとする。

。

#### 【0060】

図10(A)では、基板901上に形成された半導体膜903a、ゲート電極905aおよびゲート信号線906の一部を覆ってp型不純物添加用マスク1001が形成されている。

#### 【0061】

そして、本実施の形態2で示したドーピング装置によりp型不純物元素を注入することにより、半導体膜903bのうちゲート電極905bと重ならない位置にp型不純物領域1002を形成することができる。

#### 【0062】

なお、p型不純物元素をイオン注入法により注入する場合には、不純物ガスとして15%の $B_2H_6$ を用い、電流密度を $10\mu A/cm^2$ 、加速電圧を80kVとして $8 \times 10^{15}/cm^2$ のドーズ量でボロンを注入する。なお、図10(A)

(B)の場合には、図9(A)(B)においてp型不純物元素が注入された半導体膜903aのみを覆って、マスクの面積占有率が極力小さくなるようにp型不純物添加用マスク1001が形成されているが、これは、n型不純物元素を注入する場合に比べ、p型不純物元素注入時における電流密度と加速電圧の条件では脱ガスの発生量が大きく、ドーピングの安定性に影響を与えるからである。

#### 【0063】

また、n型不純物元素を添加する場合には、不要な不純物が注入されることによる透過率の低下を考慮して、レジストの面積占有率を比較的大きく取ったが、p型不純物元素を添加する場合には、脱ガスの発生によるドーピングへの影響が大きいことから、レジストの面積占有率を極力小さく設計している。なお、この場合におけるp型不純物添加用マスク1001の基板全体に対する面積占有率は7%であるが、さらに小さくすることで、脱ガスの発生をさらに抑えることができる。

#### 【0064】

ボロンの注入が終了したら、p型不純物添加用マスク1001をアッシングにより剥離する。アッシングは酸素プラズマにより行い、30～45分の処理によ

り剥離を行う。

#### 【0065】

なお、p型不純物添加用マスク1001を除去し、n型不純物元素、およびp型不純物元素がそれぞれ所望の位置に注入された基板上の様子を図11に示す。すなわち、本実施の形態で示したマスクパターンを用いることにより、脱ガスの発生を抑え、安定したドーピングが可能となるので、半導体装置の画素部にn型不純物領域908、およびp型不純物領域1002をそれぞれ形成した後、実施の形態1で説明した工程を組み合わせることで作製することにより、不純物の添加量が十分に制御されたnチャネル型TF Tおよびpチャネル型TF Tを同一基板上に完成させることができる。

#### 【0066】

なお、画素部に形成されたTF Tのうち、nチャネル型TF Tは、スイッチング用TF Tおよび消去用TF Tとして機能し、pチャネル型TF Tは、電流制御用TF Tとして機能する。また、pチャネル型TF Tのp型不純物領域のいずれか一方は、後に形成される画素電極と電氣的に接続される構成となる。

#### 【0067】

(実施の形態5)

本実施の形態5では、本発明のドーピング方法を用いて作製される半導体装置のうち、画素部に発光素子を有する発光装置について図12を用いて説明する。なお、図12(A)は、発光装置を示す上面図、図12(B)は図12(A)をA-A'で切断した断面図である。点線で示された1201は駆動回路部(ソース側駆動回路)、1202は画素部、1203は駆動回路部(ゲート側駆動回路)である。また、1204は封止基板、1205はシール剤であり、シール剤1205で囲まれた内側1207は、空間になっている。

#### 【0068】

なお、1208はソース側駆動回路1201及びゲート側駆動回路1203に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)1209からビデオ信号、クロック信号、スタート信号、リセット信号等を受け取る。なお、ここではFPCしか図示されてい

いが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

#### 【0069】

次に、断面構造について図12(B)を用いて説明する。基板1210上には駆動回路部及び画素部が形成されているが、ここでは、駆動回路部であるソース側駆動回路1201と、画素部1202が示されている。

#### 【0070】

なお、ソース側駆動回路1201はnチャネル型TFT1223とpチャネル型TFT1224とを組み合わせたCMOS回路が形成される。また、駆動回路を形成するTFTは、公知のCMOS回路、PMOS回路もしくはNMOS回路で形成しても良い。また、本実施の形態では、基板上に駆動回路を形成したドライバー一体型を示すが、必ずしもその必要はなく、基板上ではなく外部に形成することもできる。

#### 【0071】

また、画素部1202はスイッチング用TFT1211と、電流制御用TFT1212とそのドレインに電気的に接続された画素電極1213とを含む複数の画素により形成される。なお、画素電極1213の端部を覆って絶縁物1214が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

#### 【0072】

また、カバレッジを良好なものとするため、絶縁物1214の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物1214の材料としてポジ型の感光性アクリルを用いた場合、絶縁物1214の上端部のみに曲率半径( $0.2\mu\text{m} \sim 3\mu\text{m}$ )を有する曲面を持たせることが好ましい。また、絶縁物1214として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

#### 【0073】

画素電極 1213 上には、電界発光層 1216、および対向電極 1217 がそれぞれ形成されている。ここで、陽極として機能する画素電極 1213 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（IZO）膜、窒化チタン膜、クロム膜、タンゲステン膜、Zn 膜、Pt 膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との 3 層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

#### 【0074】

また、電界発光層 1216 は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。電界発光層 1216 に用いる材料としては、低分子系材料、高分子系材料を用いることができる。また、通常有機化合物を単層もしくは積層で用いる場合が多いが、本発明においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

#### 【0075】

さらに、電界発光層 1216 上に形成される対向電極（陰極）1217 に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金 MgAg、MgIn、AlLi、CaF<sub>2</sub>、または CaN）を用いればよい。なお、電界発光層 1216 で生じた光が対向電極 1217 を透過させる場合には、対向電極（陰極）1217 として、膜厚を薄くした金属薄膜と、透明導電膜（ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（In<sub>2</sub>O<sub>3</sub>—ZnO）、酸化亜鉛（ZnO）等）との積層を用いるのが良い。

#### 【0076】

さらにシール剤 1205 で封止基板 1204 を素子基板 1210 と貼り合わせることにより、素子基板 1201、封止基板 1204、およびシール剤 1205 で囲まれた空間 1207 に発光素子 1218 が備えられた構造になっている。なお、空間 1207 には、不活性気体（窒素やアルゴン等）が充填される場合の他

、シール剤 1205 で充填される構成も含むものとする。

#### 【0077】

なお、シール剤 1205 にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板 604 に用いる材料としてガラス基板や石英基板の他、FRP (Fiberglass-Reinforced Plastics)、PVF (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

#### 【0078】

以上のようにして、本発明のドーピング方法を用いて形成された TFT をその一部に有する発光装置を得ることができる。

#### 【0079】

なお、本実施の形態 5 は実施の形態 2 ～ 4 に示した構成を自由に組み合わせて実施することが可能である。

#### 【0080】

(実施の形態 6)

本実施の形態 6 では、本発明のドーピング方法により作製された TFT を有する半導体装置を用いて完成させた様々な電気器具について説明する。

#### 【0081】

本発明のドーピング方法により作製された TFT を有する半導体装置を用いて作製された電気器具として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的にはデジタルビデオディスク (DVD) 等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置) などが挙げられる。これらの電気器具の具体例を図 13 に示す。

#### 【0082】

図 13 (A) は表示装置であり、筐体 2001、支持台 2002、表示部 20

0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明のドーピング方法により作製された T F T を有する半導体装置をその表示部 2 0 0 3 に用いることにより作製される。なお、表示装置は、パソコン用、T V 放送受信用、広告表示用などの全ての情報表示用装置が含まれる。

#### 【0 0 8 3】

図 1 3 (B) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明のドーピング方法により作製された T F T を有する半導体装置をその表示部 2 2 0 3 に用いることにより作製される。

#### 【0 0 8 4】

図 1 3 (C) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明のドーピング方法により作製された T F T を有する半導体装置をその表示部 2 3 0 2 に用いることにより作製される。

#### 【0 0 8 5】

図 1 3 (D) は記録媒体を備えた携帯型の画像再生装置（具体的には D V D 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（D V D 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示するが、本発明のドーピング方法により作製された T F T を有する半導体装置をこれら表示部 A、B 2 4 0 3、2 4 0 4 に用いることにより作製される。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

#### 【0 0 8 6】

図 1 3 (E) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明のドーピング方法により作製された T F T を有する半導体装置をその表示部 2 5 0 2 に用いることにより作製される。



**【0087】**

図13 (F) はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明のドーピング方法により作製されたTF Tを有する半導体装置をその表示部2602に用いることにより作製される。

**【0088】**

ここで図13 (G) は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明のドーピング方法により作製されたTF Tを有する半導体装置をその表示部2703に用いることにより作製される。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

**【0089】**

以上の様に、本発明のドーピング方法により作製されたTF Tを有する半導体装置の適用範囲は極めて広く、この半導体装置をあらゆる分野の電気器具に適用することが可能である。

**【0090】****【発明の効果】**

本発明において、ドーピング時に用いるレジストからなるマスクの面積占有率を従来よりも小さくすることにより、ドーピングの際にレジストから発生する脱ガスを低減させ、処理室内部の急激な圧力変化を防止し、安定したドーピングを実現することができる。

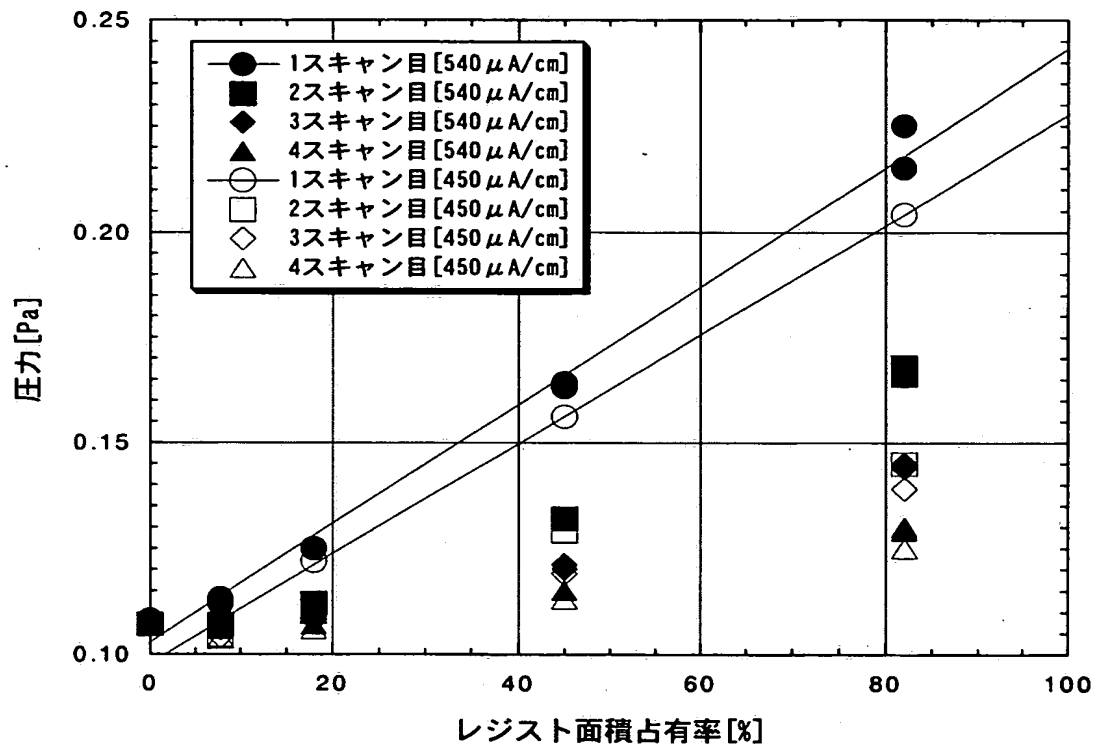
**【図面の簡単な説明】**

- 【図1】** レジストの面積比率に伴う真空度を示すグラフ。
- 【図2】** レジストの面積比率に伴う電流密度を示すグラフ。
- 【図3】** レジストのベーク条件に伴う真空度を示すグラフ。
- 【図4】** レジストのベーク条件に伴う電流密度を示すグラフ。
- 【図5】** レジストの膜厚条件に伴う真空度を示すグラフ。

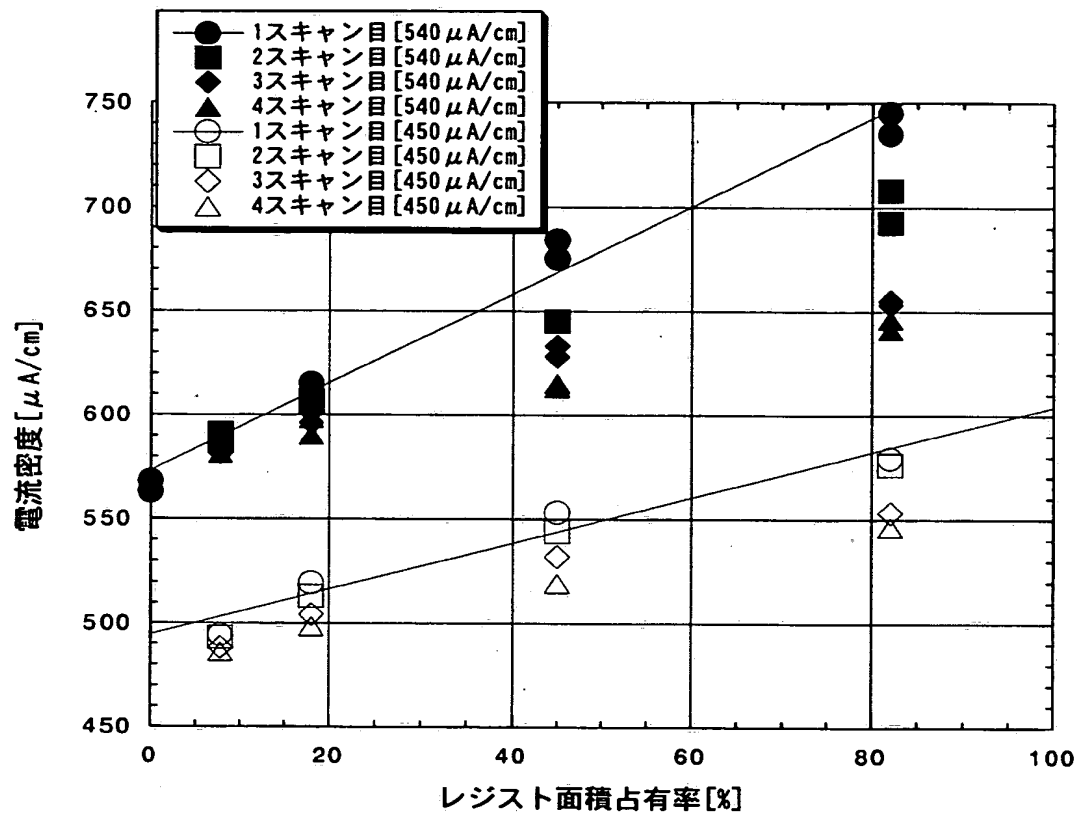
- 【図 6】 レジストの膜厚条件に伴う電流密度を示すグラフ。
- 【図 7】 本実施形態のドーピング方法について説明する図。
- 【図 8】 ドーピング装置について説明する図。
- 【図 9】 本実施形態のマスク形状について説明する図。
- 【図 1 0】 本実施形態のマスク形状について説明する図。
- 【図 1 1】 ドーピング後の態様について説明する図。
- 【図 1 2】 半導体装置について説明する図。
- 【図 1 3】 電気器具について説明する図。

【書類名】 図面

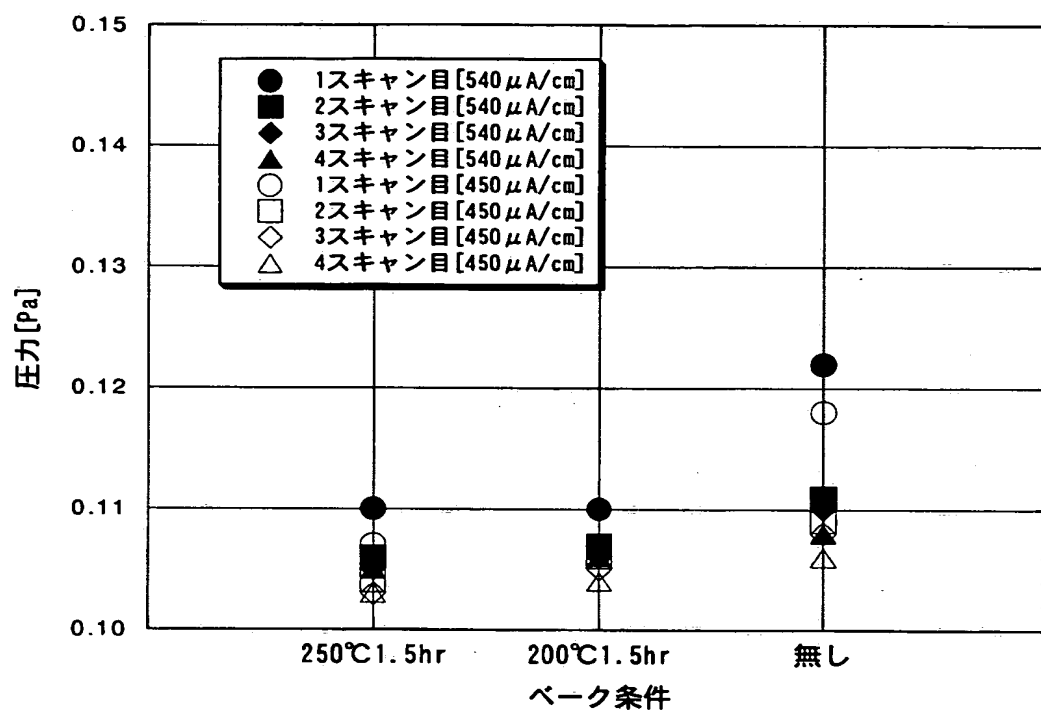
【図 1】



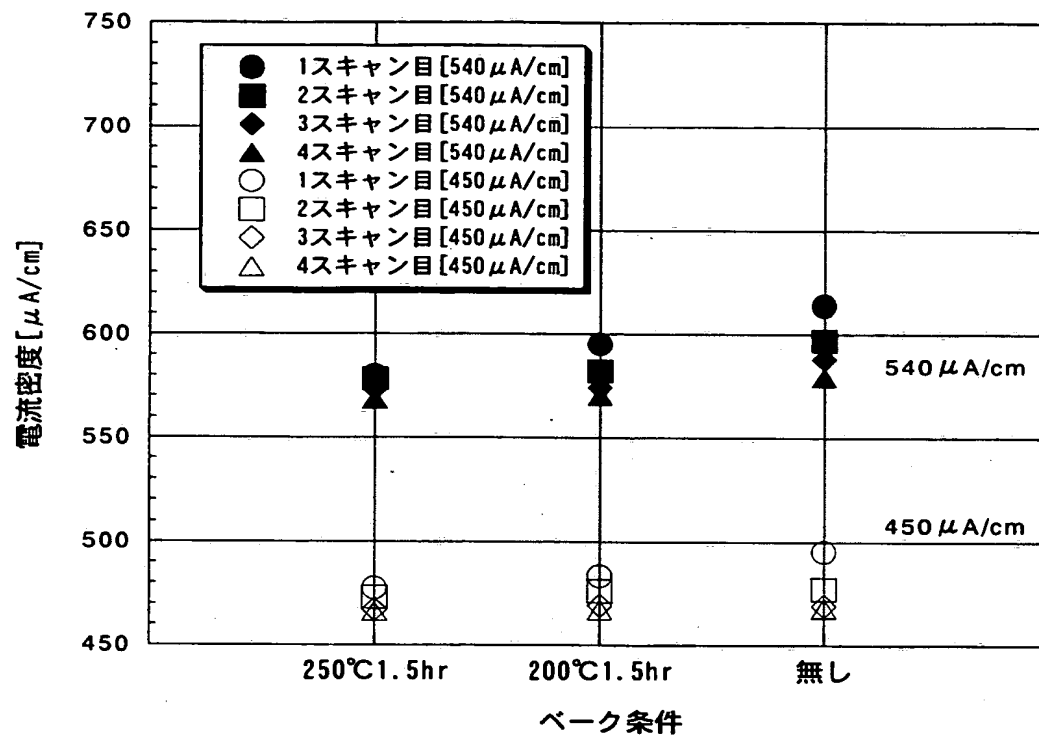
【図 2】



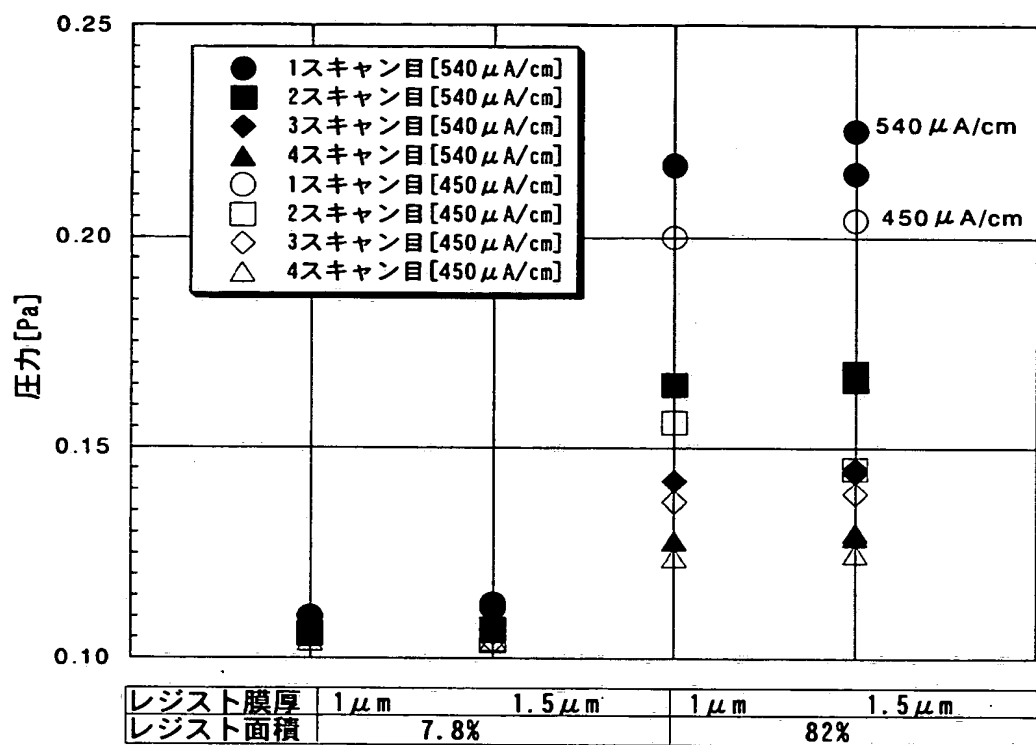
【図 3】



【図 4】

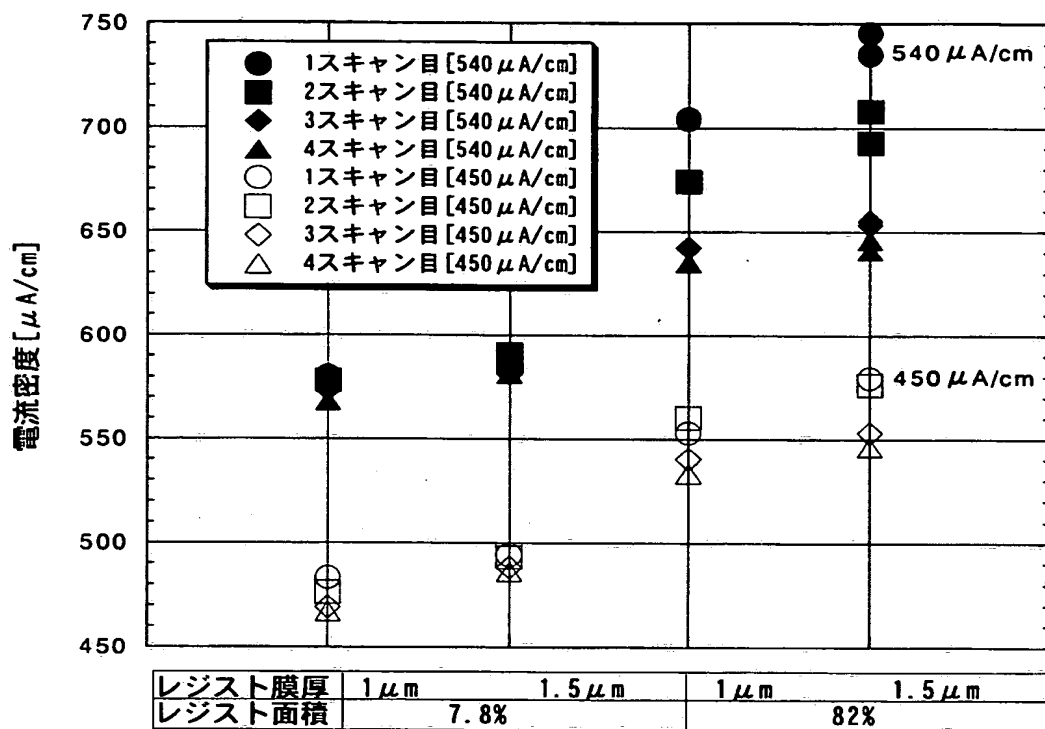


【図5】



レジスト膜厚比較  
(レジストバーク  $250^{\circ}\text{C}$  1hr.)

【図 6】

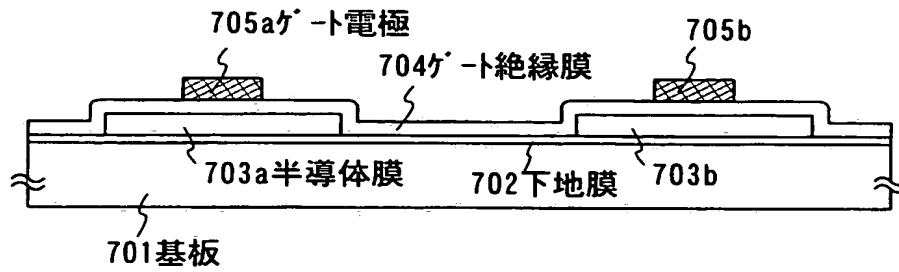


レジスト膜厚比較  
(レジストバーク 250℃ 1hr.)

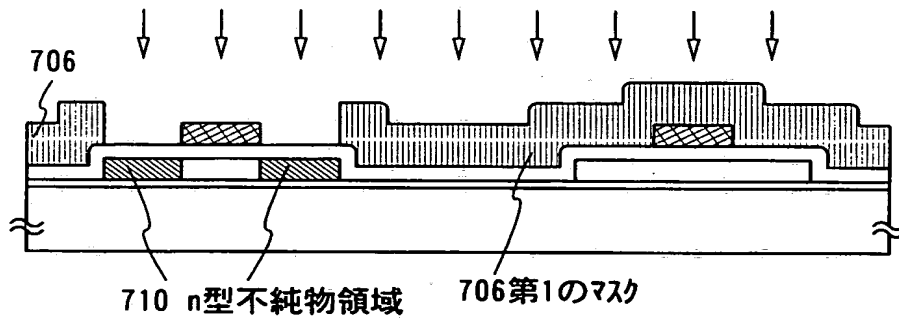


【図 7】

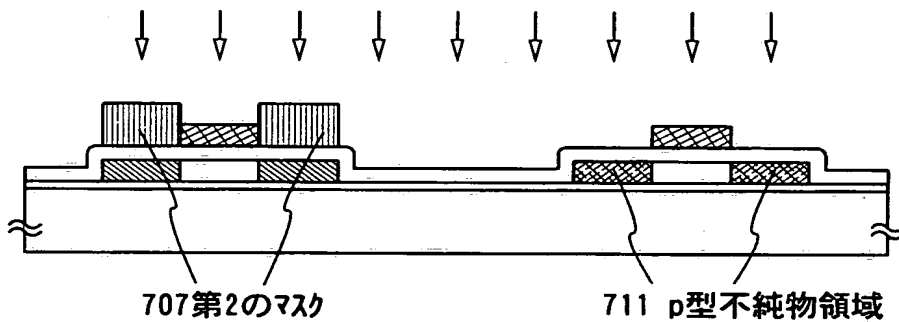
(A)



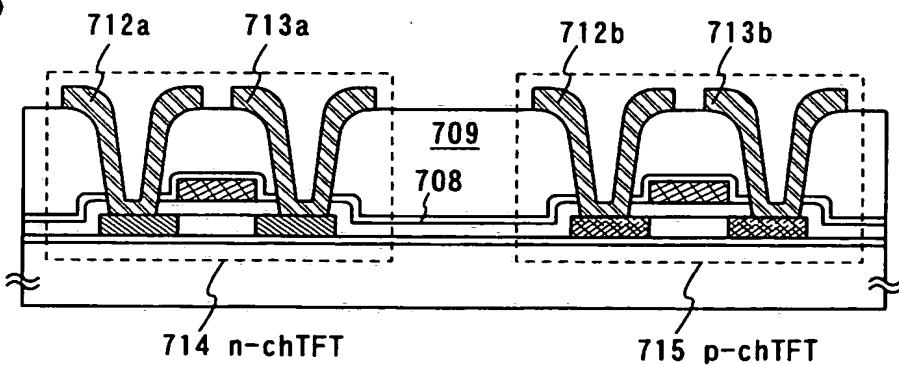
(B) n型不純物添加(リフト・ヒート)



(C) p型不純物添加(第2マスク・ヒート)

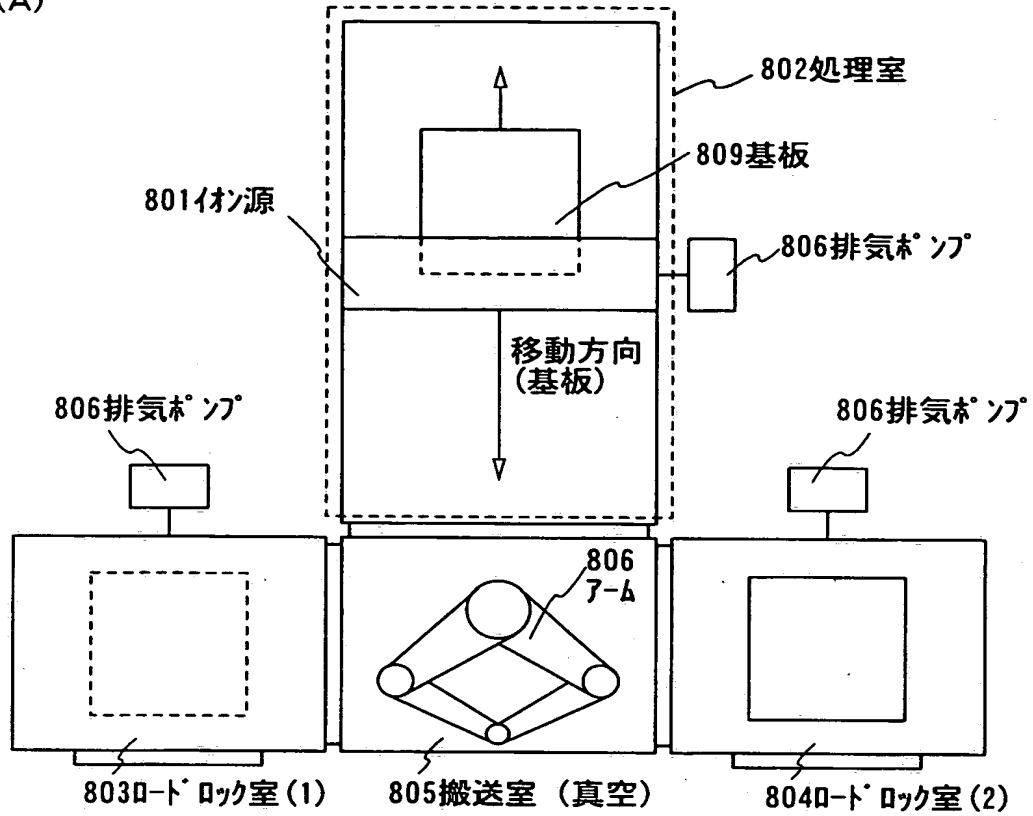


(D)

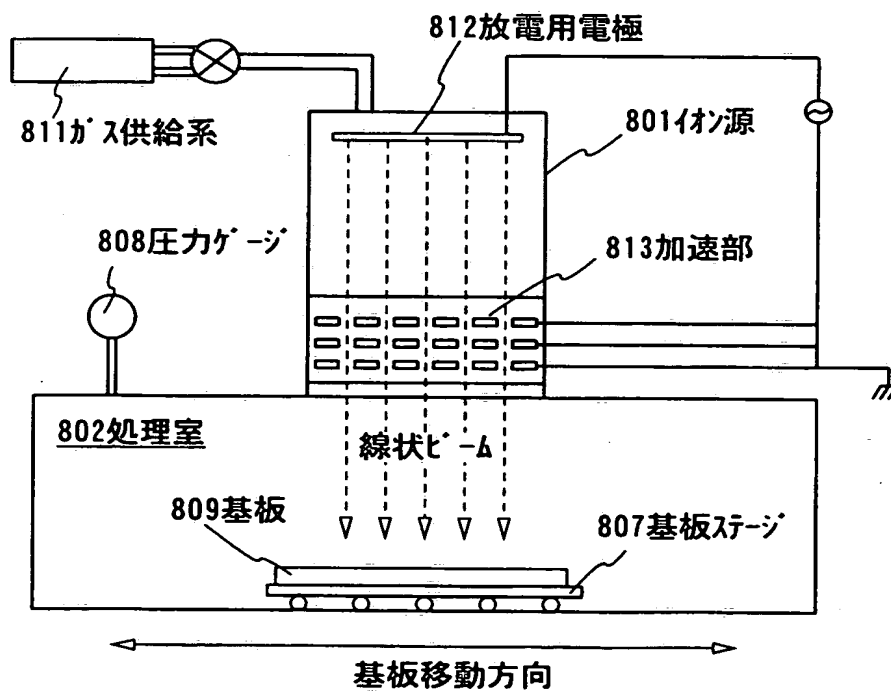


【図8】

(A)

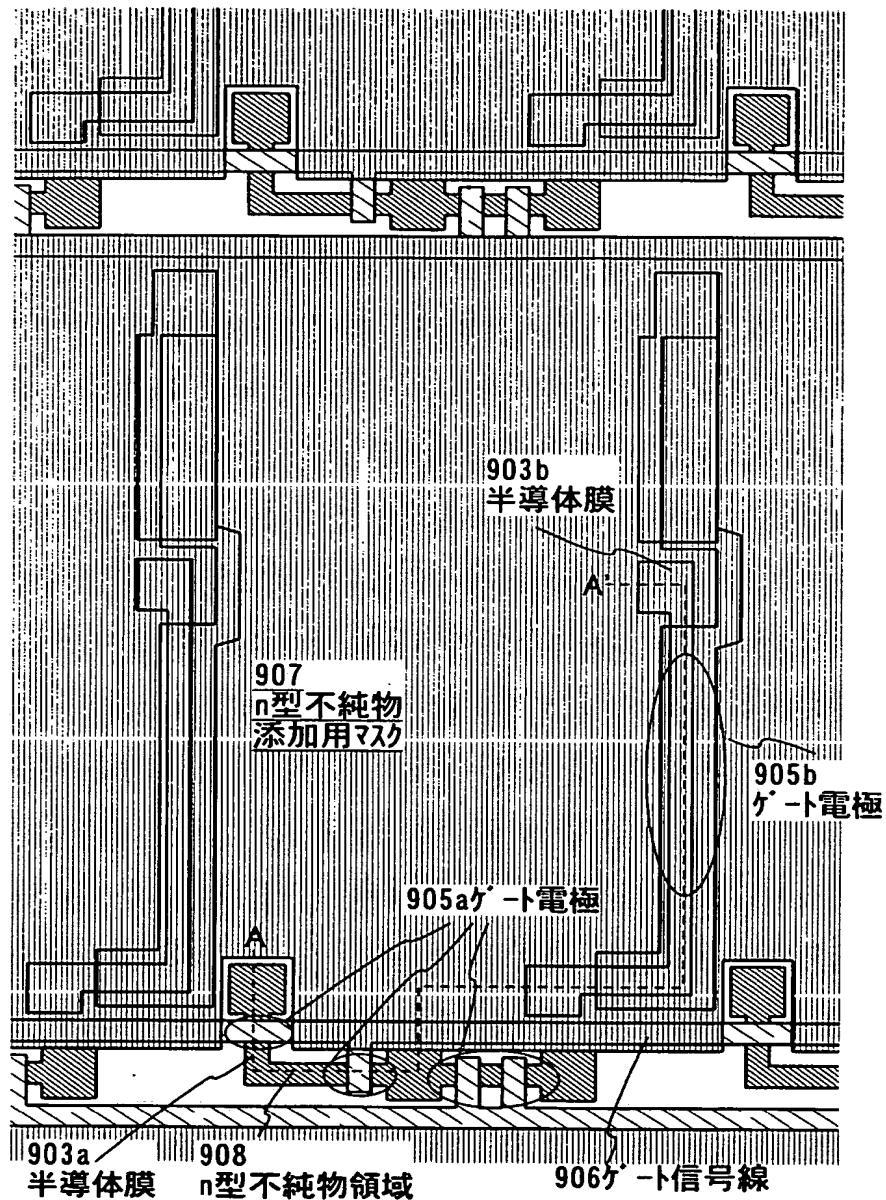


(B)

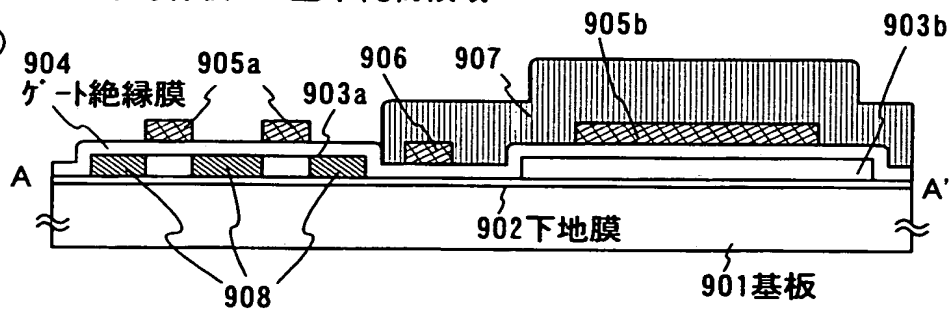


【図 9】

(A)



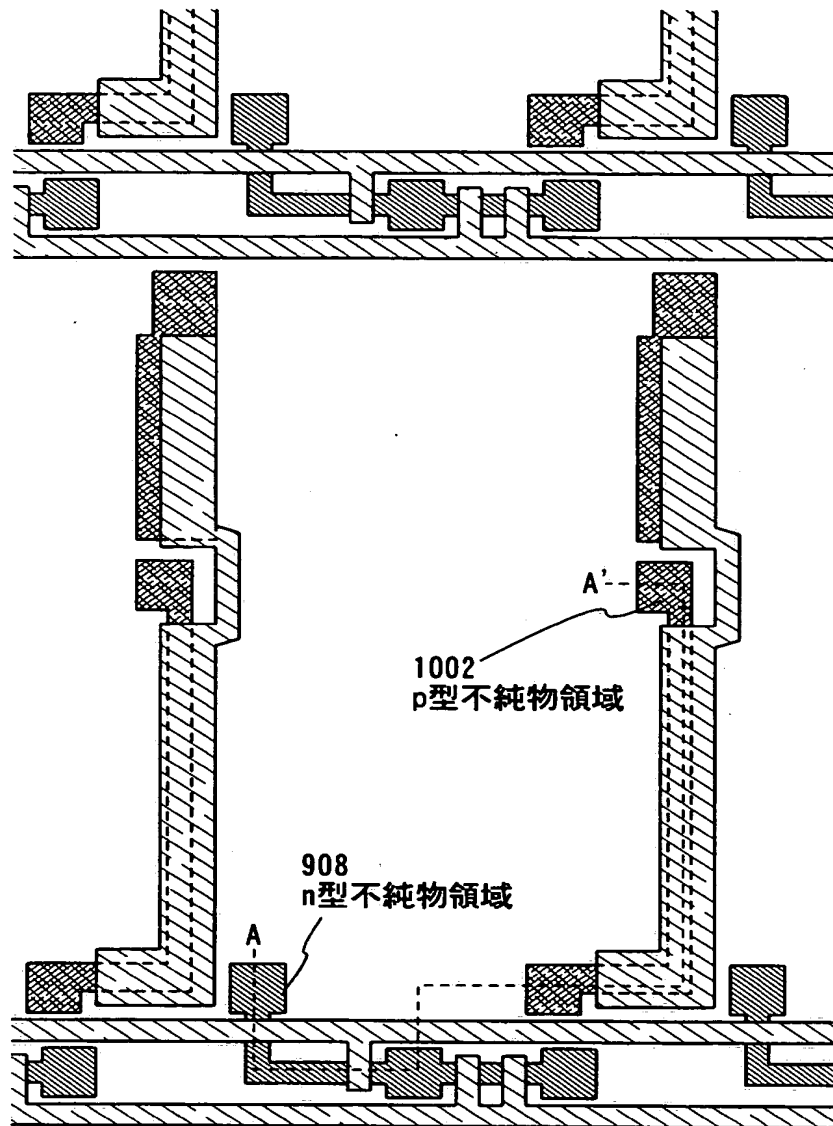
(B)



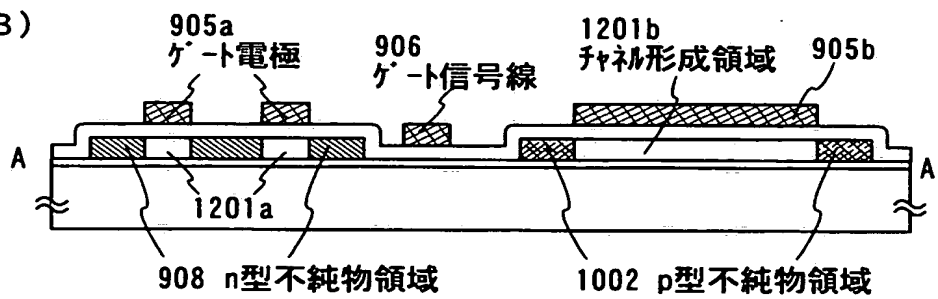


【図 11】

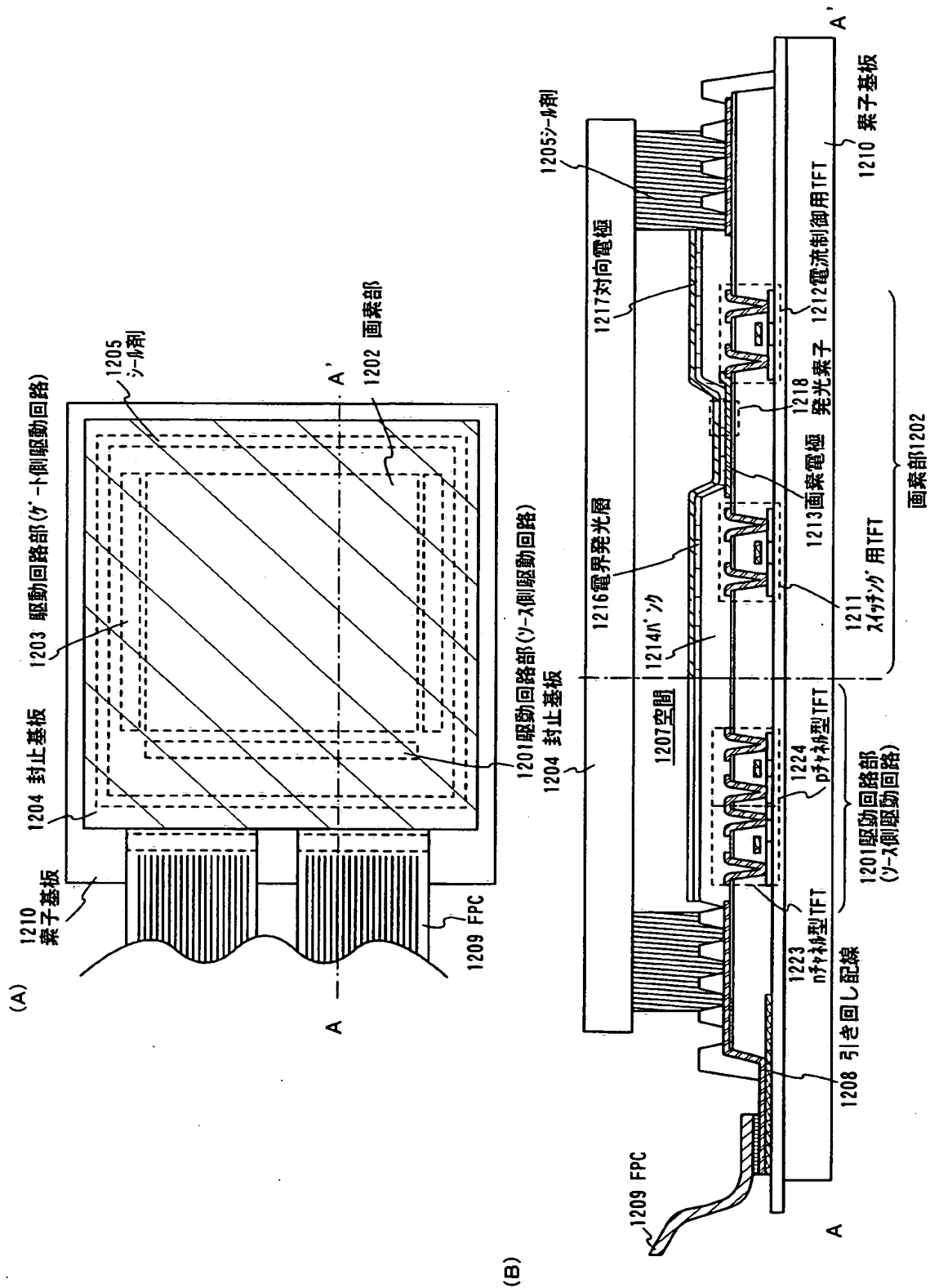
(A)



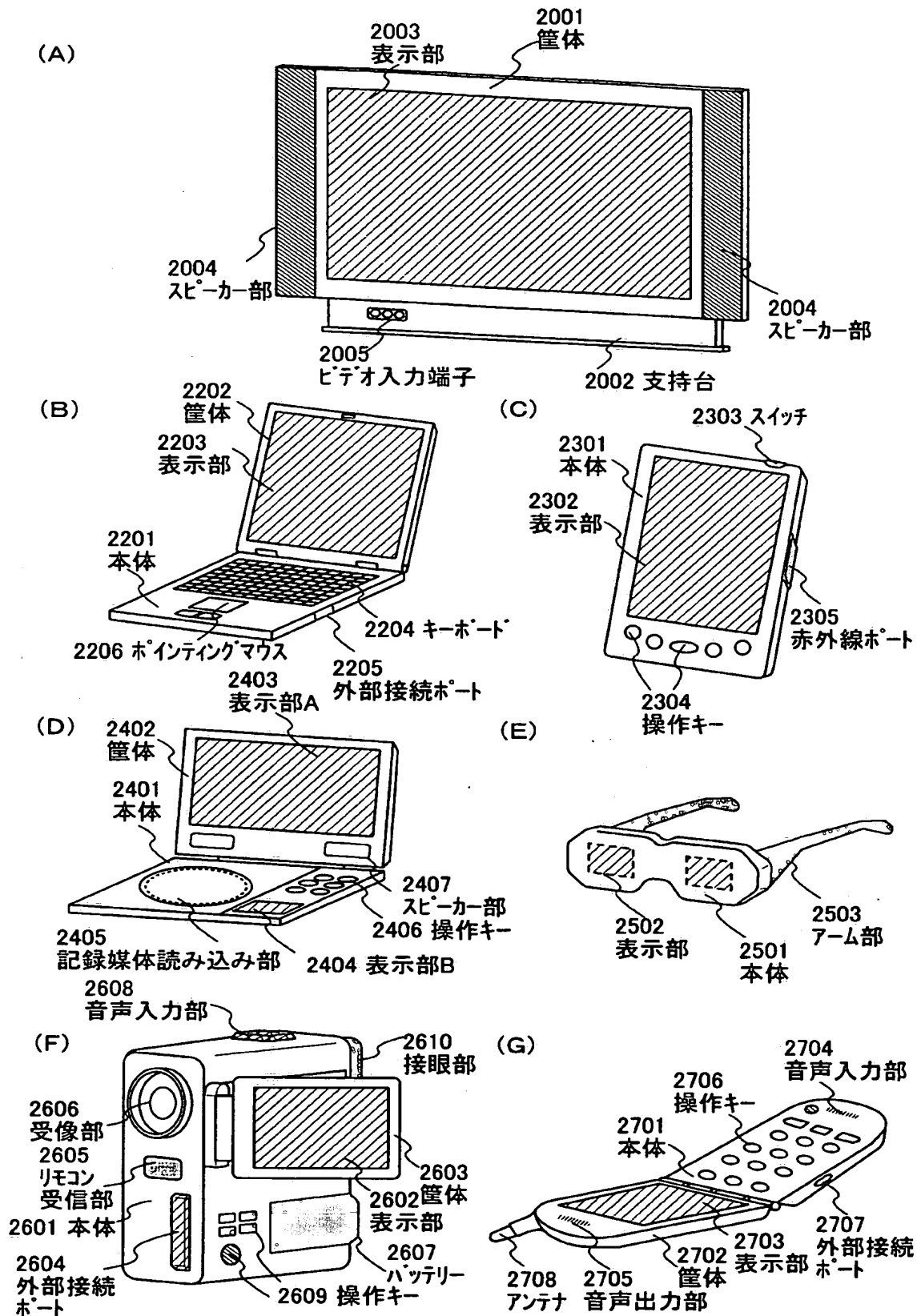
(B)



【図12】



【図 13】



【書類名】 要約書

【要約】

【課題】 本発明では不純物の添加を行うドーピングの際にレジストから発生する脱ガスを低減させることにより、処理室内部の急激な圧力変化を防止し、安定したドーピングを実現することを目的とする。

【解決手段】 本発明では、ドーピング時における加速電圧または、電流密度といった条件に応じて用いるレジストパターンの面積（レジストの面積占有率：基板全体の面積に対するレジストの面積比）を小さくすることによりドーピング時にレジストから発生する脱ガスを減少させ、不純物イオンの注入安定性を図ることができる。



特願 2002-309600

出 願 人 履 歴 情 報

識別番号

[000153878]

1. 変更年月日  
[変更理由]

1990年 8月17日  
新規登録

住 所  
氏 名

神奈川県厚木市長谷398番地  
株式会社半導体エネルギー研究所